

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

#3 Priority
Hawkins
7/6

jc688 U.S. PTO
09/497499
02/04/00

In re PATENT APPLICATION of :

Kazuhiko Asakawa et al. :

Serial No.: [NEW] : Attn: Applications Branch

Filed: February 4, 2000 : Attorney Docket No.: OKI.147

For: SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Sir:

Applicants, in the above-identified application, hereby claim the priority date
under the International Convention of the following Japanese application:

Appln. No. 11-192584 filed July 7, 1999

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

JONES VOLENTINE, LLP


Adam C. Volentine
Registration No. 33,289

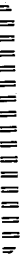
12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Dated: February 4, 2000

F-97ED0486

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

jc688 U.S. PTO
09/497499



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1 9 9 9 年 7 月 7 日

出 願 番 号
Application Number:

平成 1 1 年 特 許 願 第 1 9 2 5 8 4 号

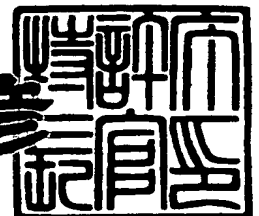
出 願 人
Applicant(s):

沖電気工業株式会社

1 9 9 9 年 1 0 月 2 9 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特平 1 1 - 3 0 7 5 5 4 0

【書類名】 特許願

【整理番号】 SA3264

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/28

【発明者】

 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

 【氏名】 浅川 和彦

【発明者】

 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

 【氏名】 清水 互

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100082050

 【弁理士】

 【氏名又は名称】 佐藤 幸男

【選任した代理人】

 【識別番号】 100102923

 【弁理士】

 【氏名又は名称】 加藤 雄二

【手数料の表示】

 【予納台帳番号】 058104

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1
【包括委任状番号】 9100477
【包括委任状番号】 9500200
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に形成された S O G 膜を備える半導体装置であって、前記 S O G 膜は、基層および表層からなる積層構造を有し、前記表層が前記基層に比較して緻密化されていることを特徴とする半導体装置。

【請求項 2】 半導体基板上に S O G 膜を形成すること、該 S O G 膜に所定の深さのイオン注入を施すことにより、前記 S O G 膜を前記イオンの非注入層からなる基層および該基層を覆い前記イオン注入により前記基層よりも緻密化された表層からなる積層構造に変えることを含む半導体装置の製造方法。

【請求項 3】 前記 S O G 膜の表層に異方性を示すエッチング手段を用いて前記表層をその厚さ寸法方向に貫いて前記半導体基板へ向けて伸びる第 1 の穴部を形成すること、該穴の底部を規定する前記基層に、等方性を示すエッチング手段を用いて前記第 1 の穴部に連続して前記半導体基板上に開口する第 2 の穴部を形成することを含む半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体 I C 装置のような半導体装置の高集積化のための多層配線技術に用いるのに好適な S O G 膜を備える半導体装置およびその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

半導体装置の多層配線技術は、半導体基板上に形成された配線とその上方に形成される配線との間に層間絶縁膜を形成することにより、配線の多層化を可能とし、この配線の多層化により、半導体装置の高集積化の向上が図られている。

【 0 0 0 3 】

層間絶縁膜には、一般的に、半導体基板上の活性領域から上方へ伸びる電気接続部を形成するためのコンタクトホールが、層間絶縁膜をその膜厚方向に貫通し

前記活性領域に開口するように、形成される。

【0004】

このようなコンタクトホール形成技術に、自己整合コンタクト技術がある。この自己整合コンタクト技術は、層間絶縁膜の上面に配置されたエッチングマスクを用いて、層間絶縁膜に埋設された一対のゲート間で半導体基板上の活性領域に開放するコンタクトホールを形成するとき、各ゲートを覆って形成された例えばシリコン窒化膜からなる保護膜の耐エッチング特性をコンタクトホールの半導体基板上への開口端のためのマスク機能として利用する。

【0005】

従って、自己整合コンタクト技術によれば、前記保護膜のマスク機能により、層間絶縁膜上に配置される前記エッチングマスクが、たとえ両ゲート間の所定の位置からわずかなずれを持って配置されても、ゲート間で前記活性領域に開放するコンタクトホールを形成することができる。

【0006】

しかしながら、エッチングマスクを用いた選択エッチングには、所望の断面形状および伸長方向を有するコンタクトホールを得るために、絶縁膜の厚さ方向である縦方向に比較して横方向へのエッチング割合が小さな、いわゆる異方性のエッチング特性を示す異方性エッチング処理が採用されている。そのために、前記エッチングマスクの位置合わせによるずれが大きくなると、ゲート間で前記活性領域に開放するコンタクトホールの開口端面積が所定値よりも小さくなることがある。

【0007】

この開口端面積の低減は、コンタクトホールを埋め込んで形成される導電部とこの導電部に接続される前記活性領域との間の接触面積の低減による導電部の接触抵抗値の増大となることから、導電部の接触抵抗値のばらつきによる電気特性の不均一化の原因となる。

【0008】

前記したエッチング処理として、等方性エッチング処理を採用することが考えられる。しかしながら、このような等方性エッチング処理のみを採用して層間絶

縁膜にその膜厚方向に貫通するエッチング穴を形成しようとする、このエッチング穴の伸長方向および開口断面積の正確な制御が困難となり、所望のエッチング穴を得ることはできない。

さらに、等方性および異方性の両エッチング処理を組み合わせることが考えられるが、単一の耐エッチング特性を示す均質な層間絶縁膜に前記した両エッチング処理を施すことは、エッチング手段との組み合わせの点から、現実的ではない。

【0009】

【発明が解決しようとする課題】

そこで、本発明は、ばらつきのない均質な電気特性を示し得る半導体装置およびその製造方法を提供することを企図する。

【0010】

【課題を解決するための手段】

本発明は、層間絶縁膜として利用される絶縁膜に、SOG膜があり、このSOG膜は、特開平9-69562号公報に開示されているように、イオン注入によりその性質を変えることができる点に着目する。

【0011】

SOG膜は、シリコン化合物を有機溶剤に溶かした溶液から形成される二酸化シリコンを主成分とする絶縁膜の総称であり、前記溶液の塗布後、この塗布層に熱処理を施すことにより、平坦な表面を有するSOG膜からなる層間絶縁膜が形成される。

【0012】

本発明は、基本的には、半導体基板上に形成されたSOG膜を備え、該SOG膜が基層および表層からなる積層構造を有し、表層が基層に比較して緻密化されていることを特徴とする。

【0013】

前記半導体基板上にSOG膜を形成した後、該SOG膜に所定の深さのイオン注入を施すことにより、このイオン注入層をその下方の基層よりも緻密化することができ、このイオン注入により、単一の性質を示すSOG膜を用いて、前記積

層構造を比較的容易に形成することができる。

【0014】

従って、前記イオン注入の制御により、前記SOG膜に、比較的容易かつ正確に所望の表層を有する積層構造を与えることができる。

SOG膜の緻密化された表層は、例えば耐エッチング特性が高められる。また、吸水性が低下する。

【0015】

耐エッチング特性に関し、緻密化された表層は、基層に比較して耐性が高められる。従って、例えば C_3F_3 、 CCl_4 、Ar等のような反応ガスを用いたドライエッチング手段およびエッチングマスクを用いた、異方性を示す選択エッチング処理により、表層に前記エッチングマスクに対応した穴部を形成することができる。

【0016】

また、前記表層への前記穴部の形成後、前記基層に、例えば沸酸のような液体をエッチング手段として用いたウエットエッチング処理で代表される等方性エッチング処理を施すことにより、たとえ基層内に前記したようなゲートを覆って形成された例えばシリコン窒化膜からなる保護膜が存在しても、前記エッチングマスクとゲート間位置とのずれの有無に拘わらず、この保護膜間で適正に半導体基板上に開口する穴部を形成することができる。

【0017】

前記したように、耐エッチング特性を相互に異にする表層および基層に、異方性エッチング処理および等方性エッチング処理をそれぞれ適用することにより、表層および基層を含む全ての厚さ方向に等方性エッチング処理を施すほどにエッチング穴の精度の低下を招くことなく、確実に前記半導体基板の活性領域上に所定の開口面積で開放するコンタクトホールを形成することが可能となる。

【0018】

従って、前記エッチングマスクの位置ずれに伴うコンタクトホールの前記活性領域上への開口端面積の増減を防止することができ、この開口端面積の増減による導電部の接触抵抗の増減を防止して、この接触抵抗のばらつきによる電気特性

のばらつきを防止することができる。

【0019】

また、SOG膜の緻密化による吸水特性の変化を利用することができる。

例えば特開平9-139431号公報に記載されているように、SOG膜の端面が露出する半導体装置では、SOG膜の吸水性によって回路内部に水分が取り込まれると、種々の電氣的弊害が引き起こされる。

このSOG膜を経る回路内への水分の取り込みを防止すべく、SOG膜内に堰となるダミー回路を埋め込んだ後、ダミー回路の表面までSOG膜にエッチングバックを施し、その後、改めて吸水性の低い絶縁膜が形成される。

このダミー回路がSOG膜の縁部から内方へ移動しようとする水分を移動を遮断することから、SOG膜の内部への水分の移動による種々の電氣的弊害が防止される。

【0020】

エッチングバック技術は、一般的に、高精度での制御が容易ではない。

しかしながら、前記したような積層構造を有するSOG膜を前記ダミー回路と組み合わせて用いることにより、前記表層での吸水性の低下を図ることができ、これにより、高精度での制御が容易ではないエッチングバック技術を用いることなく、前記積層構造と前記ダミー回路とにより、比較的容易に高精度の吸水遮断構造を実現することができる。

【0021】

【発明の実施の形態】

以下、本発明を図示の実施の形態について詳細に説明する。

〈具体例1〉

図1は、本発明に係る積層構造を有するSOG膜を自己整合コンタクト技術に適用した例を示す。

【0022】

図1は、MOSトランジスタの製造工程を示す。

図1(a)に示されているように、例えばシリコンのような半導体材料からなる半導体基板10上に、例えばLOCOS法を用いて、フィールド酸化膜からな

る素子分離領域 11 が形成され、この素子分離領域 11 により素子形成領域である活性領域 12 が区画される。

【0023】

活性領域 12 には、ゲート酸化膜 13 を介して、互いに間隔をおく一対のゲート電極 14 が形成される。

各ゲート電極 14 の上面および両側部には、従来の自己整合コンタクト技術でよく知られているように、例えばシリコン窒化膜からなる保護膜 15 (15a および 15b) が形成される。

【0024】

活性領域 12 の各ゲート電極 14 の両側には、保護膜 15 をマスクとして、例えばイオン注入法により、不純物が注入され、これによりソース・ドレイン領域となる不純物領域 16 が形成される。

この不純物領域 16 のためのイオン注入は、イオン注入による活性領域 12 の損傷を防止するために、従来よく知られたマスク酸化膜 17 を通して行われる。このマスク酸化膜 17 は、不純物領域 16 の形成後、例えば 0.3% 濃度の沸酸を主成分とするエッチング液を用いて除去される。

【0025】

マスク酸化膜 17 の除去後、図 1 (b) に示されているように、SOG 膜 18 (18a および 18b) が、各ゲート電極 14 をそれらの保護膜 15 をも含んで埋め尽くすように、素子分離領域 11 上および活性領域 12 上に形成される。

【0026】

SOG 膜 18 は、シリコン化合物を有機溶剤に溶かした溶液を、前記したとおり、素子分離領域 11 上および活性領域 12 上に塗布し、その後、これに熱処理による焼成を施すことにより、形成することができる。SOG 膜 18 の形成により、ゲート電極 14 で構成される配線およびこれを覆う保護膜 15 (15a および 15b) が SOG 膜 18 下に埋設されることから、この SOG 膜 18 により、平坦な絶縁層面が形成される。

従って、この SOG 膜 18 を層間絶縁膜として、該 SOG 膜上に導電配線部のような新たな配線を形成することにより、層間絶縁膜の表面の凹凸に起因するフ

オトリソグラフィでの精度誤差、あるいは配線の断線等の不都合を招くことなく、上層の配線を好適に形成することができる。

【0027】

このSOG膜18に、例えば一对のゲート電極14間で不純物領域16に開口するコンタクトホールのようなエッチング穴を形成するに先立ち、SOG膜18に、その表面から、例えばアルゴンのようなイオンが所定の深さに注入される。

このSOG膜18へのイオン注入により、SOG膜18の注入を受けた部分が緻密化することから、SOG膜18は、非注入部分により構成される基層18aと、該基層よりも緻密化された表層18bとからなる積層構造を与えられる。

【0028】

イオン注入によるSOG膜18の変質は、特開平9-69562号公報に記載されているように、イオン注入により、SOG膜18中の有機成分が分解されると共に、膜中の水分および水酸基が減少されることにより、生じると考えられる。

従って、SOG膜18に前記した積層構造(18aおよび18b)を形成すべくSOG膜18に緻密化をもたらすイオンとして、アルゴンに限らず種々のイオンを用いることができる。

このようなイオンは、前記したアルゴンイオンの他、フッ化シリコンおよびフッ化ボロンのようなフッ化物イオン、ボロンおよび窒素等のイオン、アルゴン以外の不活性ガスイオン、あるいはボロンおよび窒素以外のIIIb、IVb、Vb、VIb、VIIb、IVa、Vaの元素の単体イオンおよびそれら元素の化合物イオンを挙げることができ、SOG膜18の積層構造の実現のために、これらのイオンを適宜選択して使用することができる。

【0029】

前記したSOG膜18へのイオン注入により、該SOG膜の表面から保護膜15に至る厚さ寸法を有する緻密化された表層18bが形成される。

イオン注入によるイオンの注入深さについての制御は、熱拡散法等による深さ制御に比較して高い精度で行うことができ、しかもその制御は容易である。従って、例えばSOG膜18へのイオン注入における注入エネルギーの制御により、

比較的容易にかつ高精度で所望の厚さ寸法を有する表層 18 b を形成することができる。

【0030】

積層構造 (18 a および 18 b) を与えられた SOG 膜 18 の表層 18 b は、基層 18 a に比較して、緻密化されることから、高い耐エッチング特性を示す。

この耐エッチング特性を利用したエッチング処理のために、図 1 (b) に示されているように、レジストパターン 19 が形成される。レジストパターン 19 は、従来よく知られたフォトリソグラフィ技術を用いて形成することができる。

【0031】

このレジストパターン 19 の形成について、該パターンの開口部 19 a は、図示の例では、開口させようとする一対のゲート電極 14 間の不純物領域 16 a に対応する位置から図中左方に比較的大きなずれを以て形成されている。

このずれに拘わらず、確実に不純物領域 16 a 上に開口するコンタクトホールを形成するために、先ず、異方性を示すドライエッチング処理により、表層 18 b に該表層を板厚方向に貫く第 1 のエッチング穴部 20 a が形成される。

【0032】

第 1 のエッチング穴部 20 a の形成に用いられるエッチング手段は、例えば CF_3 、 CCl_4 、Ar 等のような反応ガスを用いたドライエッチング手段である。

このようなエッチングガスは、緻密化された表層 18 b のエッチングに関して、シリコン窒化膜からなる保護膜 15 (15 a および 15 b) に比較すると、より高いエッチングレートを示す。そのため、この高い選択比により、保護膜 15 (15 a および 15 b) に大きな損傷を与えることなく、表層 18 b をエッチングすることができる。しかも、緻密化された表層 18 b のエッチングに関して、前記したようなエッチングガスは、異方性を示す。

【0033】

このことから、前記した異方性を示すドライエッチング手段およびレジストパターン 19 からなるエッチングマスクを用いた選択エッチング処理により、表層 18 b に、前記エッチングマスクであるレジストパターン 19 の開口部 19 a に

対応した第1のエッチング穴部20aを適正に形成することができる。

第1のエッチング穴部20aは、基層18aを貫通しない限り、該基層内に伸長しても良い。

【0034】

第1のエッチング穴部20aの形成後、例えばフッ化水素のようなエッチング液を用いて第1のエッチング穴部20aの底を規定する基層18aがエッチングを受ける。

このようなエッチング液に対し、基層18a、表層18bおよび保護膜15（15aおよび15b）は、この記載順に対応したエッチングレートを示す。

例えば、5%濃度のフッ酸の基層18aおよび表層18bに対するエッチングレートは、それぞれ3000～4000Å/minおよび300～350Å/minであり、同フッ酸の保護膜15に対するエッチングレートは、表層18bのそれ以下である。

従って、前記したようなエッチング液を用いたウエットエッチング処理により、表層18bおよび保護膜15（15aおよび15b）に大きな損傷を与えることはなく、基層18aにおける保護膜15の互いに対向して隣接する両サイドウォール部15a間に、第1のエッチング穴部20aに連続する第2のエッチング穴部20bを形成することができる。

【0035】

しかも、前記したようなエッチング液は、基層18aに対し等方性を示し、また両サイドウォール部15aが自己整合コンタクト技術でよく知られているようなマスク作用を果たすことから、等方性のエッチング液は、表層18b下の基層18aのうち、相互に対向して形成された両サイドウォール部15a間の領域部分をほぼその全域に亘って適正に除去する。

【0036】

従って、開口させるべき不純物領域16aと、レジストパターン19の開口部19aとのずれの有無に拘わらず、第2のエッチング穴部20bにより、不純物領域16aを所定の開口面積で露出させることができることから、第1のエッチング穴部20aおよび該穴部に連続する第2のエッチング穴部20bにより、不

純物領域 16a に所定の開口面積で開口するエッチング穴 20 を形成することができる。

【0037】

エッチング穴 20 には、該穴をコンタクトホールとして、従来よく知られた導電部 21 が形成される。この導電部 21 が形成されるエッチング穴 20 は、前記したとおり、レジストパターン 19 の開口部 19a と不純物領域 16a とのいずれの有無に拘わらず、不純物領域 16a に所定の開口面積で開口する。従って、レジストパターン 19 のずれに拘わらず、導電部 21 を不純物領域 16a との接触面積のばらつきを抑制することができる。

【0038】

前記ゲート電極 14 およびその両側に形成される一対の不純物領域 16、16a を備える MOS トランジスタは、従来よく知られているように、ゲート電極 14 に印加される電圧を制御することにより、ゲート電極下で両不純物領域 16、16a 間に形成されるチャンネルを制御することができる。

【0039】

このような MOS トランジスタでは、制御を受けたチャンネル電流が導電部 21 を経て取り出されるが、前記したとおり、導電部 21 の接触抵抗のばらつきを防止することができることから、この接触抵抗のばらつきによる MOS トランジスタの電気特性のばらつきを防止することができる。

【0040】

〈具体例 2〉

図 2 は、本発明に係る前記積層構造を DRAM からなる半導体メモリに適用した例を示す。

半導体基板 10 の活性領域 12 には、一対のゲート電極 14 間およびその両外側にそれぞれ不純物領域 16 が形成されている。各ゲート電極 14 および各電極の両側に対をなして形成される一対の不純物領域 16 は、スイッチング素子として機能するそれぞれ MOS トランジスタを構成する。

図示の例では、両 MOS トランジスタの一方の不純物領域 16a が共用されており、この各 MOS トランジスタと、前記一対の不純物領域 16 の他方に関連し

て形成されるキャパシタとにより、1つのメモリセルが構成されている。

【0041】

一对のゲート電極14を覆うように、前記した具体例1におけると同様な積層構造(18aおよび18b)を有するSOG膜18が形成されており、一对のゲート電極14間には、前記したと同様な導電部21として、前記両メモリセルで共用されるビット線が形成されている。

【0042】

このビット線となる導電部21は、図1(a)～図1(c)に沿って説明したと同様な手順により、形成することができる。

その後、図2に示されているように、導電部21を埋設すべくSOG膜18を覆うように、例えばCVD酸化膜22が層間膜として形成される。

【0043】

この層間膜22およびSOG膜18を貫通して、不純物領域16に開放するエッチング穴23が形成される。

エッチング穴23の形成では、層間膜22および表層18bが具体例1で説明したと同様な異方性を示すドライエッチング処理を用いた選択エッチング処理を受ける。

このドライエッチング処理により、具体例1に示した例におけると同様に、図2には示されていないレジストパターンすなわちエッチングマスク(19)に対応した第1のエッチング穴部23aが形成される。

【0044】

第1のエッチング穴部23aの形成後、積層構造を示すSOG膜18の表層18b下にある基層18aにエッチング処理が施される。

この基層18aのエッチング処理については、具体例1におけると同様な等方性を示すウエットエッチングが用いられる。

この等方性エッチングでは、素子分離領域11を構成する熱酸化膜であるシリコン酸化膜は、表層18bにおけると同等もしくはこれよりも僅かに大きなエッチングレートを示すに過ぎない。

【0045】

このことから、前記した等方性エッチング処理により、表層 18 b 下には、サイドウォール部 15 a とこれに対向する素子分離領域 11 との間で、不純物領域 16 を開放させる大きな空所からなる第 2 のエッチング穴部 23 b が形成される。

第 1 のエッチング穴部 23 a およびこれに連続する第 2 のエッチング穴部 23 b で形成されるエッチング穴 23 の壁面には、前記キャパシタの下部電極であるストレージ電極を構成する導電部 24 が形成される。この導電部 24 上には、さらに、図示しないが従来よく知られた誘電体膜層および上部電極であるセル電極が形成される。

【0046】

具体例 2 に示した例では、前記したとおり、ビット線たる導電部 21 のためのエッチング穴 20 およびキャパシタのストレージ電極たる導電部 24 のためのエッチング穴 23 の形成に、SOG 膜 18 の表層 18 b に関連して異方性を示すドライエッチング処理が用いられ、また基層 18 a に関連して等方性を示すウエットエッチング処理が用いられる。

【0047】

この 2 段階のエッチング処理により、前記マスク (19) の所定箇所からのずれの有無に拘わらず、また該マスクのパターン形状が円形であるか矩形であるかに拘わらず、導電部 21 および 24 のためのエッチング穴 20 および 23 をそれぞれ所定の開口面積で半導体基板 10 の所定の活性領域 12 (不純物領域 16 および 16 a) に開放させることができる。

従って、本発明によれば、導電部であるビット線あるいはストレージ電極と活性領域 12 との接触抵抗にばらつきのない、電気特性に優れた DRAM を比較的容易に製造することができる。

【0048】

前記したところでは、等方性を示すウエットエッチング処理のためのエッチング手段としてフッ酸を用い、保護膜 15 (15 a および 15 b) がシリコン窒化膜からなる例を示した。

この例に代えて、等方性を示すエッチング手段として、フッ酸以外の種々の等

方性エッチング液を採用することができ、また保護膜 15 は、このウェットエッチング処理に用いられるエッチング液との関係で、SOG 膜 18 の基層 18a に比較してこれよりも低いエッチングレートを示す材料を適宜選択して使用することができる。

【0049】

具体例 1 および 2 では、本発明に係る積層構造を有する SOG 膜の基層および表層についてのそれぞれの緻密性の違いを利用した例を示したが、次の具体例 3 では、SOG 膜の両層の吸水性の違いを利用した例について説明する。

〈具体例 3〉

図 3 は、本発明に係る積層構造を有する SOG 膜が組み込まれた例えば半導体メモリのような半導体装置を示す。

前記した DRAM のような半導体装置では、メモリセルの部分的な欠損を補うために、補助用のメモリセルを備える冗長回路が設けられる。また、メモリセルの欠損部を冗長回路の補助メモリセルに切り替え接続するための切り替え回路が設けられる。

この切り替え回路はヒューズを備え、該ヒューズに例えばレーザ光を照射し、このレーザ光の熱エネルギーで前記ヒューズを溶断することにより、欠損部に代えて冗長回路の補助メモリセルを利用することができる。

【0050】

図 3 (a) ～図 3 (c) は、このような冗長回路のための切り替え回路用ヒューズが組み込まれた半導体装置の製造工程を示す。

【0051】

半導体基板 30 上には、例えば CVD 法により形成されたシリコン酸化膜からなる絶縁膜 31 を介して、前記した切り替え回路のためのヒューズ 32 が形成される。このヒューズ 32 は、例えば 150 nm の厚さ寸法を有するタンゲステンシリサイド層で形成される。

ヒューズ 32 上には、該ヒューズを埋設する前記したと同様なシリコン酸化膜からなる絶縁層 33 が形成される。

【0052】

絶縁層 33 上には、例えば CVD 法により、500 nm の厚さ寸法を有するタングステン層が形成され、このタングステン層にフォトリソグラフィおよびエッチングを施して、その不要部分を除去することにより、前記したタングステン層の残存部分で前記した切り替え回路のための配線その他、種々の配線が形成されるが、このタングステン層の一部を利用して、フォトリソグラフィおよびエッチングにより、堰として利用されるダミー回路 34 が前記した配線のための前記ヒューズ 32 の上方でヒューズ領域を取り囲むように、棒体形状に形成される。

【0053】

前記ヒューズ 32 を含む前記配線上には、本発明に係る SOG 膜 35 が形成される。

この SOG 膜 35 とヒューズ 32 との密着性を高めるために、図示の例では、ヒューズ 32 を覆う絶縁膜 36 が例えばプラズマ CVD 法を用いて 500 nm の厚さ寸法で形成される。

【0054】

絶縁膜 36 の形成後、この絶縁膜 36 上に、該絶縁膜およびその下のダミー回路 34 を埋め込むように、シリコン化合物を有機溶剤に溶かした前記したと同様な溶液が、塗布される。

その後、前記塗布層に、例えば約 300℃ の焼成が施され、これにより、前記 SOG 膜 35 が形成される。

【0055】

この SOG 膜 35 は、比較的高い吸水性を示す。この吸水性の高い SOG 膜 35 上には、後述するように、SOG 膜 35 よりも低い吸水性を示す絶縁膜 37 およびカバー膜 38 が形成されるが、堰として機能するダミー回路 34 とその上方の絶縁膜 37 との間に、吸水性の高い SOG 膜 35 が介在すると、この SOG 膜 35 が吸水による水分の通路となる。

【0056】

そのため、従来では、SOG 膜 35 のうち、ダミー回路 34 の頂部から突出する表層部をエッチングバックにより除去することにより、SOG 膜 35 およびダミー回路 34 により規定される平坦面を形成し、その後、該平坦面に絶縁膜 37

およびカバー膜 3 8 を形成していた。

【 0 0 5 7 】

これに対し、本願発明では、SOG膜 3 5 の表面に、前記したと同様なイオン注入が施される。このイオン注入により、ダミー回路 3 4 から上方に位置する表層 3 5 b がその下層である基層 3 5 a に比較して緻密化されることから、図 3 (b) に示されているように、SOG膜 3 5 は、ダミー回路 3 4 から上方の緻密化された表層 3 5 b と、これに比較して高い吸水性を示す基層 3 5 a との積層構造に変換される。

【 0 0 5 8 】

ダミー回路 3 4 上に位置する SOG 膜 3 5 の表層 3 5 b は、その低い吸水性により、ダミー回路 3 4 と共に、水分の通過を確実に遮断するための堰として機能する。

【 0 0 5 9 】

従って、SOG膜 3 5 のダミー回路 3 4 から上方に位置する表層 3 5 b に従来のようなエッチングバックを施すことなく、この表層 3 5 b 上に、絶縁膜 3 7 およびカバー膜 3 8 を形成することができる。

【 0 0 6 0 】

絶縁膜 3 7 は、例えばプラズマ CVD 法により、約 4 0 0 n m の厚さ寸法を有するプラズマ酸化膜で形成することができ、カバー膜 3 8 は、従来よく知られた約 1 0 0 0 n m の厚さ寸法で形成することができる。

この絶縁膜 3 7 には、図示しないが、必要に応じて、その下方に位置する前記配線へのコンタクトホールが形成され、またこのコンタクトホールを埋める導電部が形成される。

【 0 0 6 1 】

前記絶縁膜 3 7 およびカバー膜 3 8 の形成後、該カバー膜の表面から絶縁層 3 に埋設されたヒューズ 3 2 の近傍の深さ位置に伸びる開口 3 9 が選択エッチング処理により、形成される。

この開口 3 9 は、その下方に埋設されたヒューズ 3 2 をレーザで照射するときの照射口となり、レーザ光によるヒューズ 3 2 の溶断を容易にする。

【0062】

前記した照射口 39 の形成により、該開口の縁部には、吸水性の高い SOG 膜 35 が露出するが、ダミー回路 34 の頂部上に位置する SOG 膜の表層 35b は、前記したイオン注入により、吸水性が低められていることから、ダミー回路 34 と共に、SOG 膜 35 の開口 39 の縁部から該 SOG 膜を経て半導体装置内に侵入しようとする水分に対し、有効に堰として機能する。

【0063】

従って、本発明によれば、SOG 膜にエッチングバックを施すことなく、確実に堰として機能する吸水遮断構造を形成することができる。

【0064】

前記した具体例 3 では、メモリの冗長回路に関連して積層構造を有する SOG 膜およびダミー回路からなる吸水遮断構造について説明したが、本発明に係る前記吸水遮断構造は、多層配線を有する半導体チップの縁部からその内部への水分の侵入の防止、あるいはグリッドラインに関連して設けられる開口縁部からの水分の侵入防止等、種々の吸水遮断構造に適用することができる。

【0065】

【発明の効果】

本発明によれば、前記したように、半導体基板上に SOG 膜を形成した後、該 SOG 膜に所定の深さのイオン注入を施すことにより、このイオン注入層をその下方の基層よりも緻密化することができ、このイオン注入により、単一の性質を示す SOG 膜を用いて、相互に異なる性質を示す積層構造を比較的容易に形成することができる。

【0066】

また、本発明によれば、前記積層構造を有する SOG 膜を利用して、この SOG 膜にコンタクトホールを形成することにより、半導体基板上に所定の開口面積で開口するコンタクトホールを形成することができることから、このコンタクトホールを埋める導電部の、前記開口面積のばらつきによる接触抵抗の増減を防止することができ、これにより、安定した電気特性の半導体装置を比較的容易に得ることができる。

【0067】

また、本発明によれば、前記積層構造を有するSOG膜を利用し、この積層構造と、該積層構造内に堰を形成するダミー回路とにより、比較的容易に高精度の吸水遮断構造を実現することができることから、吸水による電気特性のばらつきを防止し、これにより安定した電気特性の半導体装置を比較的容易に得ることができる。

【図面の簡単な説明】

【図1】

本発明に係る具体例1の半導体装置の製造工程を示す断面図である。

【図2】

本発明に係る具体例2の半導体装置を示す断面図である。

【図3】

本発明に係る具体例3の半導体装置の製造工程を示す断面図である。

【符号の説明】

10、30 半導体基板

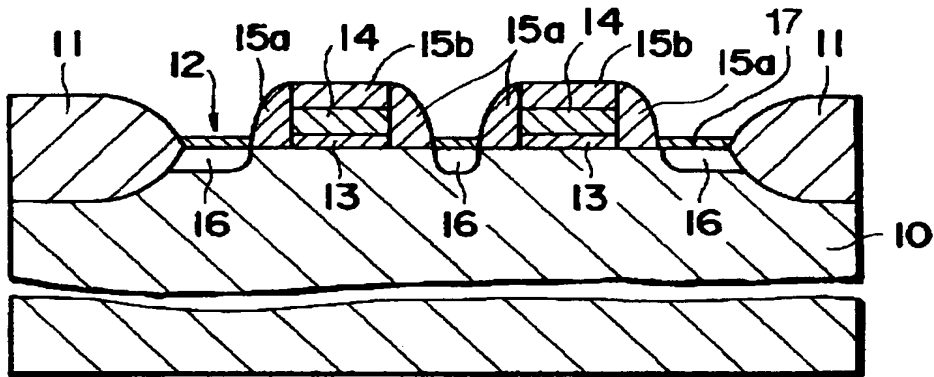
18、35 SOG膜

18a、35a 基層

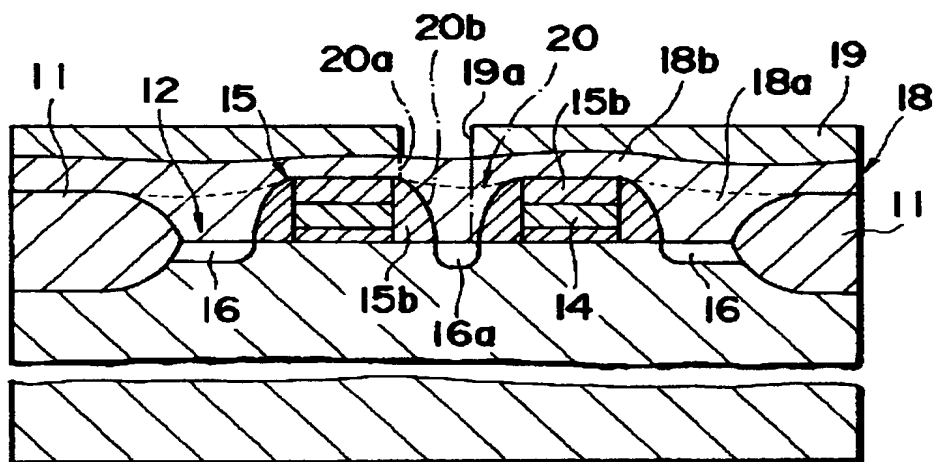
18b、35b 表層

【書類名】図面

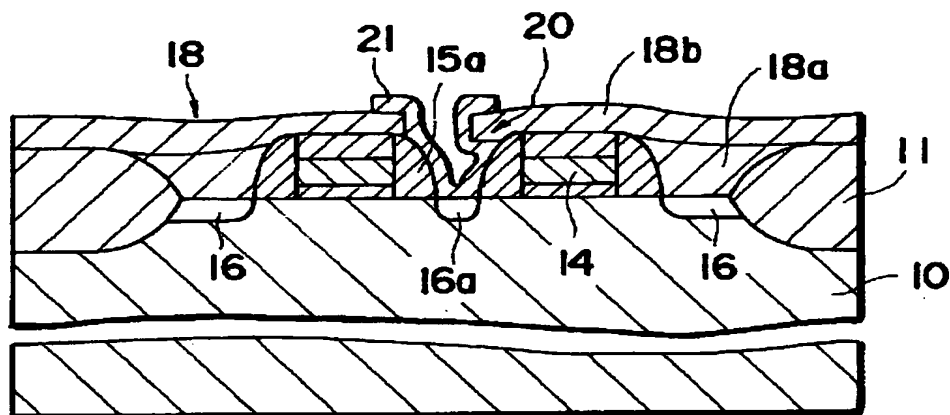
【図 1】



(a)



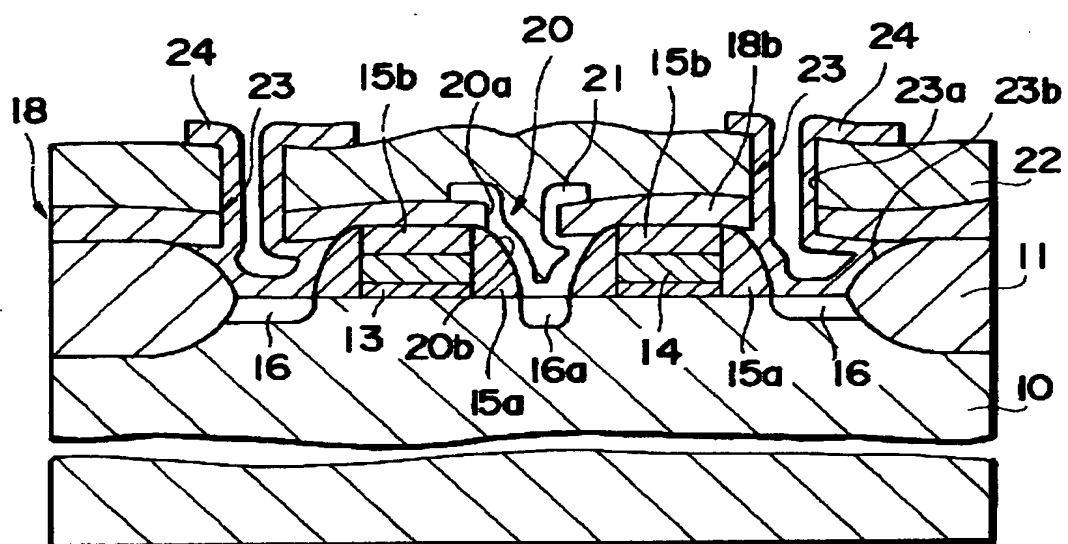
(b)



(c)

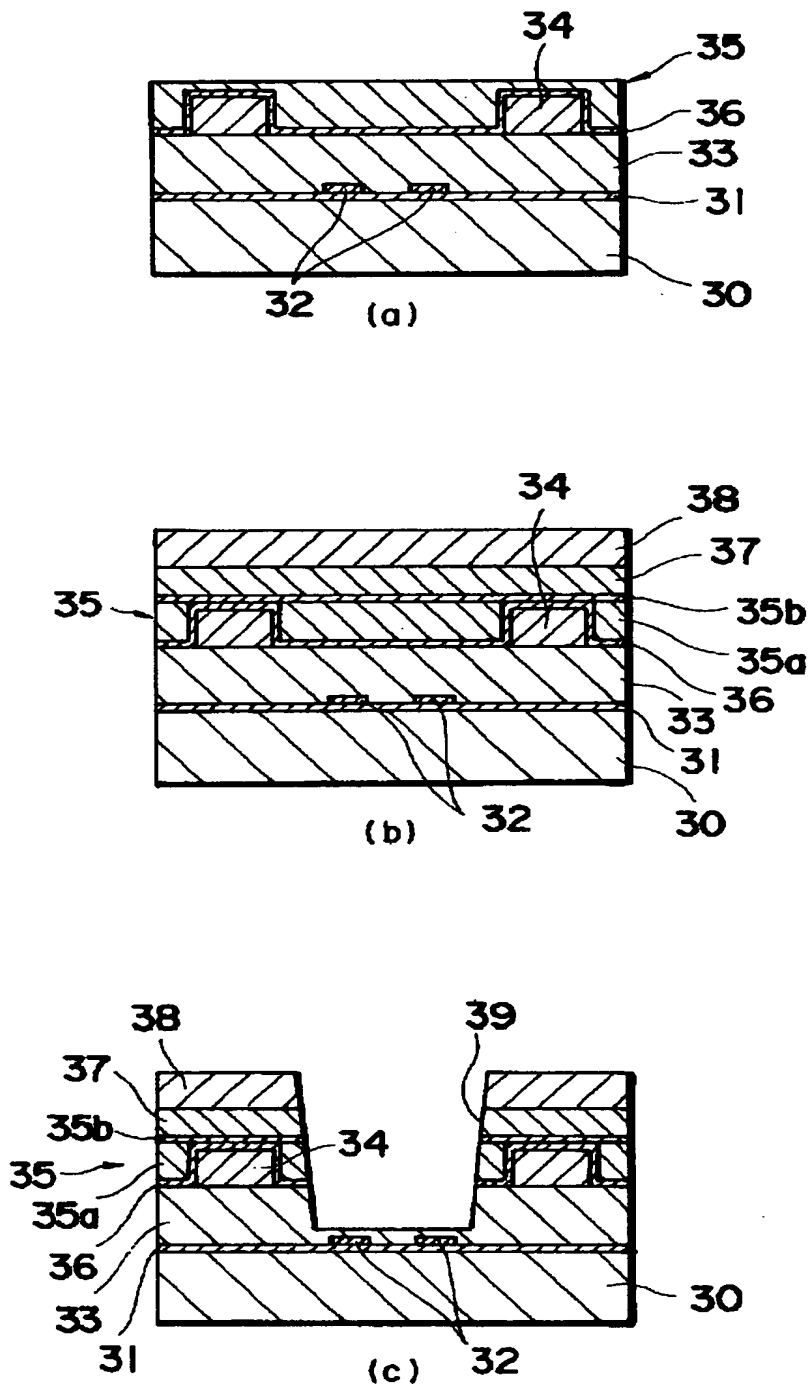
具体例 1

【図 2】



具体例 2

【図 3】



具体例 3

【書類名】 要約書

【要約】

【課題】 ばらつきのない均質な電気特性を示し得る半導体装置を提供する。

【解決手段】 半導体基板 1 0 上に形成された S O G 膜 1 8 を備える。S O G 膜 1 8 は、基層 1 8 a および表層 1 8 b からなる積層構造を有し、表層 1 8 b が基層 1 8 a に比較して緻密化されている。

【選択図】 図 1

認定 - 付加情報

特許出願の番号	平成 11 年 特許願 第 192584 号
受付番号	59900650311
書類名	特許願
担当官	第五担当上席 0094
作成日	平成 11 年 7 月 9 日

<認定情報・付加情報>

【提出日】	平成11年 7月 7日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社